

(d)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162757

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-305180

(71)Applicant : MATSUSHITA ELECTRIC IND  
CO LTD

(22)Date of filing : 06.12.1993

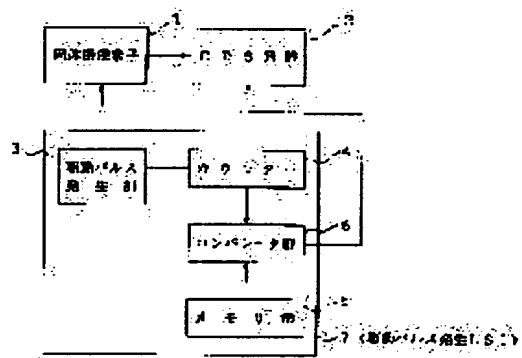
(72)Inventor : KADOTA TOKUZO

(54) PIXEL DEFECT CORRECTION DEVICE FOR SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

**PURPOSE:** To correct plural pixel defects when the plural pixel defects are present on the same horizontal line.

**CONSTITUTION:** A driving pulse generation part 3 outputs CCD transfer pulses for driving a solid-state image pickup element 1, a counter 4 counts the CCD transfer pulses outputted from the driving pulse generation part 3 and a memory group 5 as a storage means stores the address data of the pixel defects of the solid-state image pickup element 1. A comparator group 6 as a comparing means compares the CCD transfer pulses counted by the counter 4 with the address data of the pixel defects stored by the memory group 5 and outputs pixel defect correction pulses to a CDS circuit 2 when they coincide.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(d)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-162757

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 5/335

識別記号

P

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号 特願平5-305180

(22)出願日 平成5年(1993)12月6日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 門田 徳三

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

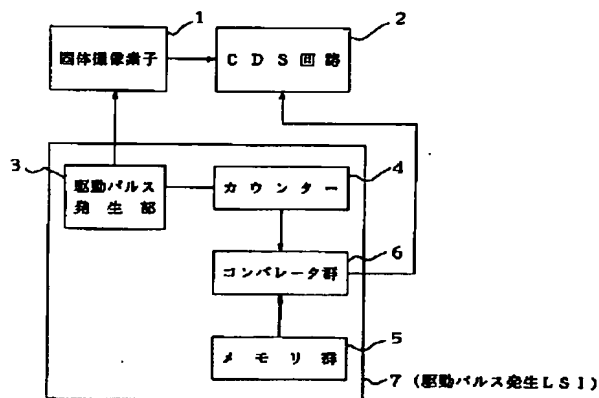
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 固体撮像素子の画素欠陥補正装置

(57)【要約】

【目的】 同一水平ラインに複数の画素欠陥が存在する場合に、これら複数の画素欠陥を補正することができるようにする。

【構成】 駆動パルス発生部3は、固体撮像素子1を駆動するためのCCD転送パルスを出力する。カウンター4は駆動パルス発生部3から出力されるCCD転送パルスをカウントする。記憶手段であるメモリ群5は固体撮像素子1の画素欠陥の番地データを記憶している。比較手段であるコンパレータ群6は、カウンター4がカウントするCCD転送パルスとメモリ群5が記憶している画素欠陥の番地データとを比較し、両者が一致したときに画素欠陥補正パルスをCDS回路2に出力する。



## 【特許請求の範囲】

【請求項 1】 固体撮像素子を駆動するための CCD 転送パルスを出力する駆動パルス発生部と、該駆動パルス発生部から出力される CCD 転送パルスをカウントするカウンタと、前記固体撮像素子の画素欠陥の番地データを記憶する記憶手段と、前記カウンタがカウントする CCD 転送パルスと前記記憶手段が記憶している画素欠陥の番地データとを比較し両者が一致したときに画素欠陥補正パルスを出力する比較手段とを備えていることを特徴とする固体撮像素子の画素欠陥補正装置。

【請求項 2】 前記の駆動パルス発生部、カウンタ、記憶手段及び比較手段は同一の LSI 上に形成されていることを特徴とする請求項 1 に記載の固体撮像素子の画素欠陥補正装置。

【請求項 3】 前記記憶手段は複数個のメモリからなり、前記比較手段は複数個のコンパレータからなり且つ複数の CCD 転送パルスと複数の画素欠陥の番地データとを同時に比較することを特徴とする請求項 1 又は 2 に記載の固体撮像素子の画素欠陥補正装置。

【請求項 4】 前記記憶手段は RAM 又は D-フリップフロップよりなることを特徴とする請求項 1～3 のいずれか 1 項に記載の固体撮像素子の画素欠陥補正装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、固体撮像素子の画素欠陥を補正する画素欠陥補正装置の改良に関する。

## 【0002】

【従来の技術】 固体撮像素子の画素欠陥補正装置としては、固体撮像素子の画素欠陥を回路的に消去する画素欠陥補正回路を有するものが知られている。

【0003】 図 2 は従来の画素欠陥補正装置の構成を示している。図 2 において、11 は CCD 等の固体撮像素子、12 はリセット雑音を低減するための CDS 回路、13 は固体撮像素子 11 を駆動する CCD 転送パルスを発生する駆動パルス発生部、14 は固体撮像素子 11 の画素欠陥を回路的に消去する画素欠陥補正回路、15 は固体撮像素子 11 の画素欠陥の番地を記憶している ROM であって、駆動パルス発生部 13 及び画素欠陥補正回路 14 はそれぞれ別個の LSI 上に形成されている。

【0004】 以下、図 2 に基づき従来の画素欠陥補正装置の動作について説明する。

【0005】 画素欠陥補正回路 14 は、駆動パルス発生部 13 から出力される CCD 転送パルスをカウントするカウンタを備えており、該カウンタがカウントする CCD 転送パルスと、ROM 15 から読み出した画素欠陥の番地データとを比較し、両者が一致すると画素欠陥補正パルスを CDS 回路 12 に出力する。

【0006】 尚、具体的には画素欠陥の番地データは水平方向の番地データと垂直方向の番地データとからなり、カウンタは水平方向転送パルスをカウントする水

平カウンタと垂直方向転送パルスをカウントする垂直カウンタとからなるが、説明の煩雑さを避けるため、以下においては、それぞれ両者を含めて単に画素欠陥の番地データ又はカウンタと称する。

【0007】 前記の画素欠陥補正パルスにより CDS 回路 12 のサンプリングパルスを消去することによって固体撮像素子 11 の画素欠陥信号は例えば画素欠陥位置の直前の画素の信号と置換されるので、画素欠陥は消去され、これにより一水平ラインの画素欠陥補正は完了する。

【0008】 そして、前記の画素欠陥補正が完了した後の次の水平ブランキング期間内に、次の画素欠陥の番地データが ROM 15 から読み出される。以下、前述の動作が全ての画素欠陥について繰り返されることにより、一画面の画素欠陥補正がなされるのである。

## 【0009】

【発明が解決しようとする課題】 ところが、前記従来の画素欠陥補正装置によると、水平ブランキング期間内に次の画素欠陥の番地データを読み出すので、1 水平ブランキング期間内には 1 つの画素欠陥しか補正できない。

【0010】 このため、同一水平ラインに 2 つの画素欠陥がある場合には、いずれか 1 つの画素欠陥しか補正できないという問題がある。

【0011】 前記に鑑み、本発明は、同一水平ラインに複数の画素欠陥が存在する場合、これら複数の画素欠陥を補正することができる画素欠陥補正装置を提供することを目的とする。

## 【0012】

【課題を解決するための手段】 前記の目的を達成するため、請求項 1 の発明が講じた解決手段は、固体撮像素子の画素欠陥補正装置を、固体撮像素子を駆動するための CCD 転送パルスを出力する駆動パルス発生部と、該駆動パルス発生部から出力される CCD 転送パルスをカウントするカウンタと、前記固体撮像素子の画素欠陥の番地データを記憶する記憶手段と、前記カウンタがカウントする CCD 転送パルスと前記記憶手段が記憶している画素欠陥の番地データとを比較し両者が一致したときに画素欠陥補正パルスを出力する比較手段とを備えている構成とするものである。

【0013】 請求項 2 の発明は、請求項 1 の構成に、前記の駆動パルス発生部、カウンタ、記憶手段及び比較手段は同一の LSI 上に形成されているという構成を付加するものである。

【0014】 請求項 3 の発明は、請求項 1 又は 2 の構成に、前記記憶手段は複数個のメモリからなり、前記比較手段は複数個のコンパレータからなり且つ複数の CCD 転送パルスと複数の画素欠陥の番地データとを同時に比較するという構成を付加するものである。

【0015】 請求項 4 の発明は、請求項 1～3 の構成に、前記記憶手段は RAM 又は D-フリップフロップよ

りなるといふ構成を付加するものである。

#### 【0016】

【作用】請求項1の構成により、比較手段は記憶手段が記憶している固体撮像素子の画素欠陥の番地データを読み出し、カウンタがカウントする駆動パルス発生部から出力されるCCD転送パルスと記憶手段から読み出した固体撮像素子の画素欠陥の番地データとを比較するため、水平ブランキング期間内にROMから画素欠陥の番地データを読み出す必要がない。

【0017】請求項2の構成により、駆動パルス発生部、カウンタ、記憶手段及び比較手段は同一のLSI上に形成されているため、駆動パルス発生部で作ったサンプリングパルスを比較手段が出力する画素欠陥補正パルスにより消去することによって、画素欠陥が補正されたサンプリングパルスを駆動パルス発生部からCDS回路に出力することができる。

【0018】請求項3の構成により、記憶手段が複数個のメモリからなり、比較手段が複数個のコンパレータからなり且つ複数のCCD転送パルスと複数の画素欠陥の番地データとの比較を並行して行なうため、同一水平ラインに複数の画素欠陥が存在する場合でもすべての画素欠陥を補正することができる。

【0019】請求項4の構成により、記憶手段はRAM又はDフリップフロップよりなるため、画素欠陥の番地データを外部ROMに記憶させておき、該外部ROMに記憶されている画素欠陥の番地データが記憶手段に転送されるようにすることができる。

#### 【0020】

【実施例】以下、本発明の一実施例を図面に基づき説明する。

【0021】図1は本発明の一実施例に係る画素欠陥補正装置の構成を示しており、図1において、1はCCD等の固体撮像素子、2はリセット雑音を低減するためのCDS回路である。これらは従来の画素欠陥補正装置と同様のものである。

【0022】図1において、3は固体撮像素子1を駆動するためのCCD転送パルスを出力する駆動パルス発生部、4は駆動パルス発生部3から出力されるCCD転送パルスをカウントするカウンタ、5は固体撮像素子1の画素欠陥の番地データを記憶する複数のメモリからなる記憶手段としてのメモリ群である。また、図1において、6はメモリ群5を構成する各メモリと対応して設けられた複数のコンパレータからなる比較手段としてのコンパレータ群であり、該コンパレータ群6を構成する各コンパレータはカウンタ4がカウントするCCD転送パルスとメモリ群5の各メモリが記憶している画素欠陥の番地データとを比較し、両者が一致したときに画素欠陥補正パルスを出力する。前記の駆動パルス発生部3、カウンタ4、メモリ群5及びコンパレータ群6は1つの駆動パルス発生LSI7の上に形成されている。

【0023】以下、前記構成の画素欠陥補正回路の動作について説明する。

【0024】コンパレータ群6を構成する各コンパレータは、カウンタ4がカウントするCCD転送パルスとメモリ群5の各メモリが記憶している画素欠陥の番地データとを比較し、両者が一致したときにCDS回路2に画素欠陥補正パルスを出力する。この画素欠陥補正パルスによりCDS回路2のサンプリングパルスが消去され、固体撮像素子1の画素欠陥信号は例えば画素欠陥位置の直前の画素の信号と置換される。

【0025】従来の画素欠陥補正装置によると、1つの画素欠陥を補正した後、ROM15から次の画素欠陥の番地データを読み込むため、画素欠陥の番地データの読み込みは次の水平ブランキング期間まで待たねばならないので、同一水平ライン上の画素欠陥は1つしか消去できなかった。ところが、本実施例の画素欠陥補正装置によると、全画素欠陥の番地データがメモリ群5の各メモリに読み込まれており、カウンタ4がカウントするCCD転送パルスとメモリ群5の各メモリが記憶している画素欠陥の番地データとの比較が並行して行なわれるので、同一水平ライン上に複数の画素欠陥がある場合でも、すべての画素欠陥を補正することができる。

【0026】尚、メモリ群5がROMによって構成される場合には、ROMを外部に設ける必要はない。

【0027】しかしながら、使用途中で発生するキズにも対処できるようにするためには、画素欠陥の番地データの追加等が可能になる外部ROMが必要である。この場合には、外部ROMとしては、書き込み及び消去ができるPROM又はEEPROMが望ましい。外部ROMを備えている場合には、メモリ群5はRAM又はDフリップフロップで構成することが好ましい。このようにすると、カメラの電源をONした時に自動的に外部ROMの番地データがメモリ群5に転送されるようにすることが容易になる。

【0028】また、前記実施例に代えて、駆動パルス発生部3と、カウンタ4、メモリ群5及びコンパレータ群6からなる画素欠陥補正回路部とを別々のLSI上に形成することも可能である。

【0029】しかしながら、前記実施例のように駆動パルス発生部3と前記画素欠陥補正回路部とを1つの駆動パルス発生LSI7上に形成すると、駆動パルス発生部3で作ったサンプリングパルスを画素欠陥補正回路部の画素欠陥補正パルスにより消去することによって、画素欠陥が補正されたサンプリングパルスをCDS回路2に出力することができる。駆動パルス発生部3と画素欠陥補正回路部とを別々のLSIに形成するときには、サンプリングパルスは駆動パルス発生部3のLSIから画素欠陥補正回路部のLSIを経由してCDS回路2に行かねばならないのに対して、駆動パルス発生部3と画素欠陥補正回路部とを駆動パルス発生LSI7上に形成する

10

20

30

40

50

と、サンプリングパルスが駆動パルス発生LSI 7から直接CDS回路2に行くことができ、周波数の高いサンプリングパルスの他の回路への飛び込みを低減できるという効果を得ることができる。

# 【0030】

【発明の効果】以上説明したように請求項1の発明に係る固体撮像素子の画素欠陥補正装置によると、比較手段は記憶手段から固体撮像素子の画素欠陥の番地データを読み出し、カウンタがカウントする駆動パルス発生部から出力されるCCD転送パルスと記憶手段から読み出した固体撮像素子の画素欠陥の番地データとを比較するため、水平ブランキング期間内にROMから画素欠陥の番地データを読み出す必要がないので、同一水平ラインに複数の画素欠陥が存在する場合にこれら複数の画素欠陥を補正することが可能になる。

【0031】請求項2の発明に係る固体撮像素子の画素欠陥補正装置によると、駆動パルス発生部、カウンタ一、記憶手段及び比較手段を同一のLSI上に形成したため、駆動パルス発生部で作ったサンプリングパルスを比較手段が出力する画素欠陥補正パルスで消去することにより画素欠陥が補正されたサンプリングパルスを駆動パルス発生部からCDS回路に出力することができるので、周波数の高いサンプリングパルスが他の回路へ飛び込む事態を低減することができる。

【0032】請求項3の発明に係る固体撮像素子の画素欠陥補正装置によると、比較手段は複数のCCD転送パルスと複数の画素欠陥の番地データとの比較を並行して

行なうので、同一水平ラインに複数の画素欠陥が存在する場合でもすべての画素欠陥を確実に補正することができる。

【0033】請求項4の発明に係る固体撮像装置の画素欠陥補正装置によると、記憶手段がRAM又はD-フリップフロップよりなるため、画素欠陥の番地データを外部ROMに記憶させておき、カメラの電源をONしたときに自動的に外部ROMの画素欠陥の番地データが記憶手段に転送されるようにすることが可能になる。

# 【図面の簡単な説明】

【図1】本発明の一実施例に係る固体撮像素子の画素欠陥補正装置の構成を示す図である。

【図2】従来の固体撮像素子の画素欠陥補正装置の構成を示す図である。

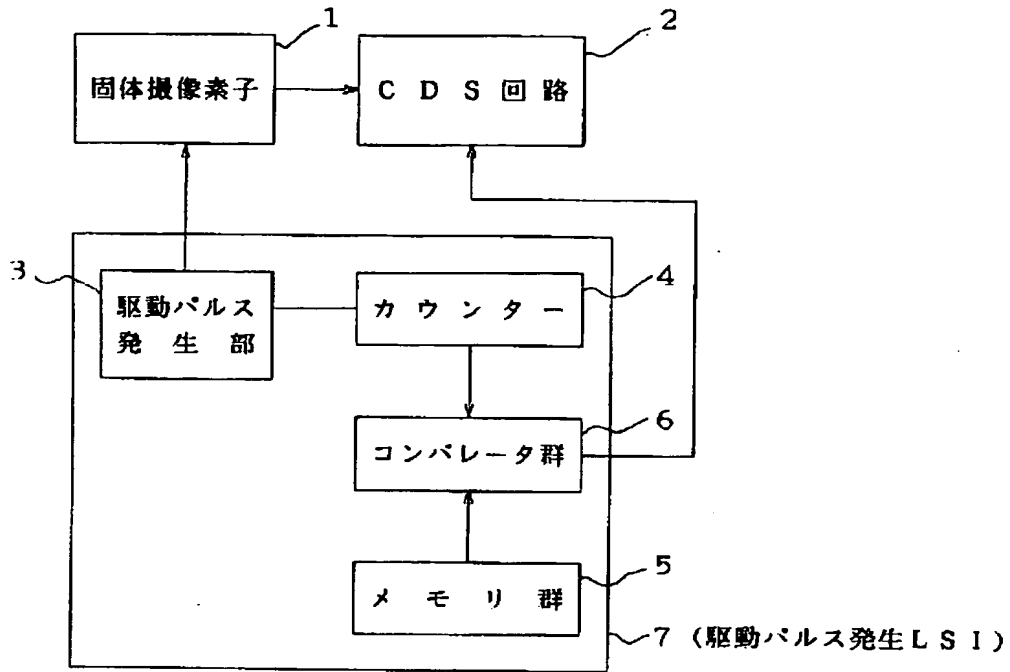
# 【符号の説明】

- 1 固体撮像素子
- 2 CDS回路
- 3 駆動パルス発生部
- 4 カウンタ
- 5 メモリ群
- 6 コンパレータ群
- 7 駆動パルス発生LSI
- 11 固体撮像素子
- 12 CDS回路
- 13 駆動パルス発生部
- 14 画素欠陥補正回路
- 15 ROM

10

20

【図1】



【図2】

